

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-242833

(P2001-242833A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 F 5 C 0 8 0
	6 2 3		6 2 3 G
			6 2 3 J

審査請求 未請求 請求項の数 8 OL (全 14 頁)

(21) 出願番号 特願2000-54678 (P2000-54678)

(22) 出願日 平成12年2月29日 (2000.2.29)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 坂口 修久

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

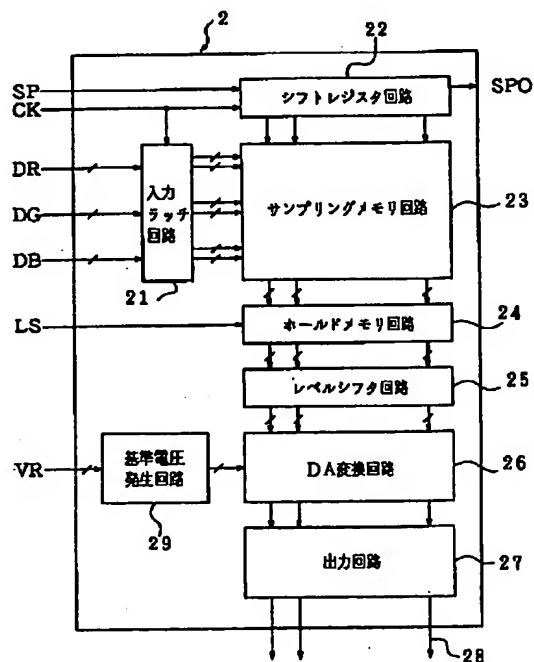
最終頁に続く

(54) 【発明の名称】 半導体装置および表示装置モジュール

(57) 【要約】

【課題】 液晶表示の高精細化に安定に対応できる液晶駆動装置を提供する。

【解決手段】 クロック信号CKに同期を取り、スタートパルス信号SPを転送するシフトレジスタ回路22を設ける。クロック信号CKに同期を取って表示データDR、DG、DBを取り込む入力ラッチ回路21を設ける。転送されたスタートパルス信号SPに基づいて上記表示データDR、DG、DBをサンプリングし記憶するサンプリングメモリ回路23を設ける。入力ラッチ回路21は、表示データDR、DG、DBをクロック信号CKの立ち上がりとしち下がりの両タイミングで同期を取って取り込むようになっている。



【特許請求の範囲】

【請求項1】表示装置を表示データ信号に基づいて駆動する半導体装置において、
クロック信号に基づいたスタートパルス信号を転送する転送手段と、
入力された表示データ信号をクロック信号に同期して取り込み、同期データとして出力するラッチ手段と、
転送されるスタートパルス信号に基づいて、上記同期データをサンプリングして出力するサンプリング手段とを有し、
上記ラッチ手段は、上記表示データ信号を上記クロック信号の立ち上がり立ち下りの両タイミングにて同期し取り込むようになっていることを特徴とする半導体装置。

【請求項2】前記ラッチ手段は、シリアルに入力された表示データ信号をシリアル-パラレル変換するための、2個単位のラッチ回路を備えていることを特徴とする請求項1記載の半導体装置。

【請求項3】前記ラッチ手段は、シリアルに入力された表示データ信号を前記クロック信号の1相の立ち上がり立ち下りの両タイミングにてシリアル-パラレル変換するものであることを特徴とする請求項1または2記載の半導体装置。

【請求項4】表示装置を表示データ信号に基づいて駆動する半導体装置において、
クロック信号に基づいたスタートパルス信号を転送する転送手段と、
入力された表示データ信号をクロック信号に同期して取り込み、同期データとして出力するラッチ手段と、
転送されるスタートパルス信号に基づいて、上記同期データをサンプリングして出力するサンプリング手段とを有し、
上記ラッチ手段は、上記表示データ信号を互いに位相が異なる複数の各クロック信号のそれぞれの立ち上がり立ち下りの両タイミングにて同期し取り込むようになっていることを特徴とする半導体装置。

【請求項5】前記ラッチ手段は、シリアルに入力された表示データ信号を、シリアル-パラレル変換するための、4個単位のラッチ回路を備えていることを特徴とする請求項4記載の半導体装置。

【請求項6】前記の複数の各クロック信号は、上記各クロック信号の数が m (m は2以上の整数) のとき、 $1/(2m)$ の位相差を互いに有するように設定されていることを特徴とする請求項4記載の半導体装置。

【請求項7】前記表示装置は、液晶表示装置であることを特徴とする請求項1ないし6の何れかに記載の半導体装置。

【請求項8】請求項1ないし7の何れかに記載の半導体装置を有することを特徴とした表示装置モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル-アナログ変換された表示データ信号により表示装置を駆動し、上記表示装置において階調表示するための半導体装置およびそれを有する表示モジュールに関するものである。

【0002】

【従来の技術】従来より、例えば図11に示すように、アクティブマトリクス方式の代表例であるTFT(薄膜トランジスタ)方式の液晶表示装置が知られている。この液晶表示装置は、液晶表示部としてのTFT方式の液晶パネル901と、液晶駆動装置とを備えており、液晶パネル901内に、図示しない液晶表示素子と、対向電極(共通電極)906とを有している。

【0003】上記液晶駆動装置は、それぞれIC(Integrated Circuit)からなるソースドライバ902およびゲートドライバ903と、コントローラ904と、液晶駆動電源905とを備えている。コントローラ904は、ソースドライバ902に表示データDおよび制御信号S11を出力すると共に、ゲートドライバ903に制御信号S12を出力するものである。

【0004】上記制御信号S11としては水平同期信号やクロック信号、制御信号S12としては垂直同期信号がある。そして、ソースドライバ902の各液晶駆動電圧出力端子は、液晶パネル901における対応するソース信号ラインに接続される一方、ゲートドライバ903の各液晶駆動電圧出力端子は、液晶パネル901における対応するゲート信号ラインに接続されている。

【0005】また、液晶駆動電源905は、液晶駆動装置(ソースドライバ902、ゲートドライバ903)を駆動する電源や液晶パネル901に印加する各種駆動電圧を出力するものである。

【0006】外部からシリアルに入力されたデジタル表示データDは、コントローラ904を通じて、ソースドライバ902へ上記表示データDとして入力される。ソースドライバ902は、入力された表示データDを時分割にて内部でラッチしてシリアル-パラレル変換し、その後、コントローラ904から入力される上記水平同期信号に同期してデジタル-アナログ変換(DA変換という)を行う。

【0007】そして、DA変換によって得られた、階調表示用のアナログ電圧(階調表示電圧)を液晶駆動電圧出力端子から、前述のソース信号ラインを介して、その液晶駆動電圧出力端子に対応した、液晶パネル901内の液晶表示素子(図示せず)へそれぞれ出力する。

【0008】図12に、上記ソースドライバ902の回路ブロック図の一例を示す。ソースドライバ902は、基本的にはシフトレジスタ回路1302、入力ラッチ回路1301、サンプリングメモリ回路1303、ホールドメモリ回路1304、レベルシフタ回路1305、DA変換回路1306、出力回路1307および基準電圧

発生回路1309から構成される。

【0009】まず、シフトレジスタ回路1302には、水平同期信号と同期させたスタートパルス信号SPが入力され、その後、クロック信号CKに同期を取りスタートパルス信号SPはn段のシフトレジスタ回路1302に転送される。

【0010】そして、シフトレジスタ回路1302のn段目の出力は、出力信号SPOとして出力され、縦続接続されているソースドライバ902の次段のソースドライバ902のスタートパルス信号SPとして入力され、以後同様にスタートパルス信号SPは転送される。

【0011】表示データDは、それぞれ例えば6ビットの表示データDR（赤）、表示データDG（緑）、表示データDB（青）から構成され、入力ラッチ回路1301に入力される。そして、入力ラッチ回路1301に一時的にラッチされた後、クロック信号CKによりサンプリングメモリ回路1303に送られる。サンプリングメモリ回路1303は、先述のシフトレジスタ回路1302の各段の出力信号（スタートパルス信号SPがシフトした信号）により、時分割に送られてくる表示データDをサンプリングし記憶する。

【0012】その後、表示データDは次のホールドメモリ回路1304に入力され、この表示データDの1水平期間のデータがホールドメモリ回路1304に入力された時点で、水平同期信号に基づいたラッチ信号LSによりラッチされる。そして、次のラッチ信号LSが入力されるまで、つまり1水平期間の間、先の表示データDは保持されてホールドメモリ回路1304から出力される。

【0013】ラッチされた表示データDの信号レベルは、次のレベルシフト回路1305によりロジック系電圧レベル（Vcc-GNDレベル）から液晶駆動に必要な電圧レベル（VDD-GNDレベル）にレベル変換される。

【0014】一方、基準電圧発生回路1309は、参照電圧VR（例えばVref1～Vref9で構成）に基づき抵抗分割等により階調表示に用いる、例えば64レベルの電圧を発生させている。DA変換回路1306は、ラッチされレベル変換された表示データD（DR、DG、DBに対応するそれぞれ6ビット）に基づき、先述の64レベルの電圧から1つの電圧レベルを選択することでアナログ電圧に変換して出力するものである。

【0015】そして、この電圧レベルは、ボルテージフォロア回路等を含んで構成された出力回路1307により、階調表示電圧として液晶駆動電圧出力端子1308から、液晶パネル901における各液晶表示素子のソース信号ラインにそれぞれ出力される。

【0016】このような従来のソースドライバでは図12（1回路のみ記載）と図13に示すように、外部からのデジタル表示データ（DR、DG、DB）はそれぞれ

がシリアルに入力（D1、D2、…D8…）され、一旦、D型フリップフロップ（以下、DF/Fと称す）で構成される入力ラッチ回路1301にてクロック信号CKの立ち上がりでラッチされる（図14に示すラッチデータのタイミングチャートを参照）。

【0017】この後、これらラッチされた各表示データDは、DF/Fで構成されるサンプリングメモリ回路1303に入力され、クロック信号CKの立ち上がりで同期を取りスタートパルス信号SPをn段のシフトレジスタ回路1302内に転送させて各段から出力される信号（SR1、SR2、…SRn）の立ち上がりで同期を取り、記憶される。その後、上記各表示データDは、ホールドメモリ回路1304へ出力され、続いて、ラッチ信号LSによりホールドメモリ回路1304から一括出力され、次のラッチ信号LSが入力されるまで、その出力信号は保持されるようになっている。

【0018】

【発明が解決しようとする課題】しかしながら、上記従来の場合、表示画質の向上のために液晶パネル901のより高精細化に伴い、表示画質の劣化という次のような問題が生じる。まず、上記従来では、例えば、RGBに対応した合計18本の表示データD（6ビット×RGB）を用いたSXGA（1024×RGB×768）型の液晶パネル901の場合、例えば64階調表示を行うためのソースドライバ902では、上記表示データDに対し、65MHzと非常に高速のデータ転送レートが必要となる。

【0019】そのため、上記従来では、液晶パネル901の高精細化を目指す程、より速いデータ転送レートにて表示データDを順次、入力ラッチ回路1301にてラッチ後、時分割でサンプリングメモリ回路1303に記憶させる必要があるが、高速化によりクロック信号CKに対し表示データDを取り込むタイミングの仕様（データセットアップ/ホールド時間）を保証するのが難しくなる。

【0020】このことから、上記従来では、高いデータ転送レートのために表示画質が劣化し、高精細化と表示画質の向上との双方を同時に満たせなくなるという問題を生じている。

【0021】

【課題を解決するための手段】本発明は、上記従来の問題点に鑑みてなされたものであって、その目的は、クロック周波数を低減できるよう、クロック信号の立ち上がり、立ち下りの両エッジにて表示データDを取り込む方式を入力インターフェース部に採用し、ソースドライバの内部でシリアル-パラレル変換を行うことにより、クロック周波数を、必要なデータ転送レートの、例えば半分と低減でき、動作周波数の拡大と信頼性の向上した半導体装置およびそれを用いた表示装置モジュールを提供することである。

【0022】すなわち、本発明の半導体装置は、以上の課題を解決するために、表示装置を表示データ信号に基づいて駆動する半導体装置において、クロック信号に基づいたスタートパルス信号を転送する転送手段と、入力された表示データ信号をクロック信号に同期して取り込み、同期データとして出力するラッチ手段と、転送されるスタートパルス信号に基づいて、上記同期データをサンプリングして出力するサンプリング手段とを有し、上記ラッチ手段は、上記表示データ信号を上記クロック信号の立ち上がりとし、立ち下がりとの両タイミングにて同期し取り込むようになっていることを特徴としている。

【0023】上記半導体装置においては、前記ラッチ手段は、シリアルに入力された表示データ信号をシリアル-パラレル変換するための、2個単位のラッチ回路を備えていてもよい。

【0024】上記半導体装置では、前記ラッチ手段は、シリアルに入力された表示データ信号を前記クロック信号の1相の立ち上がりとし、立ち下がりとの両タイミングにてシリアル-パラレル変換するものであることが好ましい。

【0025】上記構成によれば、ラッチ手段により表示データ信号をクロック信号に同期して同期データを出力し、その同期データを、転送手段から転送されたスタートパルス信号に基づいてサンプリング手段にてサンプリングして出力することにより、上記表示データ信号をシリアル-パラレル変換でき、表示装置にて表示するのに好適な信号に変換できる。

【0026】その上、上記構成では、ラッチ手段が、上記表示データ信号を上記クロック信号の立ち上がりとし、立ち下がりとの両タイミングにて同期し取り込むようになっているので、クロック信号のクロック周波数を、表示データ信号のデータ転送レートを、より低減できて、クロック信号に対し表示データを取り込むタイミングの仕様（データセットアップ/ホールド時間）を保証し易くできる。

【0027】本発明の他の半導体装置は、以上の課題を解決するために、表示装置を表示データ信号に基づいて駆動する半導体装置において、クロック信号に基づいたスタートパルス信号を転送する転送手段と、入力された表示データ信号をクロック信号に同期して取り込み、同期データとして出力するラッチ手段と、転送されるスタートパルス信号に基づいて、上記同期データをサンプリングして出力するサンプリング手段とを有し、上記ラッチ手段は、上記表示データ信号を互いに位相が異なる複数の各クロック信号のそれぞれの立ち上がりとし、立ち下がりとの両タイミングにて同期し取り込むようになっていることを特徴としている。

【0028】上記半導体装置においては、前記ラッチ手段は、シリアルに入力された表示データ信号を、シリアル-パラレル変換するための、4個単位のラッチ回路を

備えていてもよい。

【0029】上記半導体装置では、前記の複数の各クロック信号は、上記各クロック信号の数が m (m は2以上の整数) のとき、 $1/(2m)$ の位相差を互いに有するように設定されていることが好ましい。

【0030】上記構成によれば、ラッチ手段は、上記表示データ信号を互いに位相が異なる複数の各クロック信号のそれぞれの立ち上がりとし、立ち下がりとの両タイミングにて同期し取り込むようになっているので、さらに、クロック信号のクロック周波数を、表示データ信号における必要なデータ転送レートよりいっそう低減できて、クロック信号に対し表示データを取り込むタイミングの仕様（データセットアップ/ホールド時間）をより保証し易くできる。

【0031】上記半導体装置においては、前記表示部は液晶表示部であってもよい。上記構成によれば、液晶表示部の高精細化に安定に対応できるので、液晶表示における表示画質の向上を確実化できる。

【0032】本発明の表示装置モジュールは、以上の課題を解決するために、上記に記載の各半導体装置の何れかを有することを特徴としている。上記構成によれば、表示装置モジュールにおける高精細化に安定に対応できるので、表示装置モジュールの表示画質の向上を確実化できる。

【0033】

【発明の実施の形態】本発明に係る半導体装置およびそれを用いた表示装置モジュールの、実施の各形態について図1ないし図10に基づいて説明すれば、以下の通りである。

【0034】上記表示装置モジュールとしての液晶表示装置は、例えば図2に示すように、液晶表示部として、アクティブマトリクス方式の代表例であるTFT（薄膜トランジスタ）方式の液晶パネル1と、それを駆動するための液晶駆動装置（半導体装置）とを有している。上記液晶パネル1の詳細については後述する。

【0035】上記液晶駆動装置は、それぞれ1Cからなるソースドライバ2およびゲートドライバ3と、コントローラ4と、液晶駆動電源5とを備えている。コントローラ4は、ソースドライバ2に表示データDおよび制御信号S1を出力すると共に、ゲートドライバ3には制御信号S2を出力する。上記制御信号S1としては水平同期信号やクロック信号、制御信号S2としては垂直同期信号が挙げられる。

【0036】そして、ソースドライバ2の各液晶駆動電圧出力端子は、液晶パネル1における対応する各ソース信号ライン14に接続され、一方、ゲートドライバ3の各液晶駆動電圧出力端子は、液晶パネル1における対応する各ゲート信号ライン15に接続されている（図3を参照）。

【0037】また、液晶駆動電源5は、液晶駆動装置

(ソースドライバ2、ゲートドライバ3)を駆動する電源や液晶パネル1に印加する各種駆動電圧を液晶駆動装置に出力している。

【0038】上記液晶駆動装置のソースドライバ2およびゲートドライバ3は、例えば、図示しない各TCP (Tape Carrier Package) に搭載されている。TCPとは、テープ・フィルムにLSIを装着した薄型のパッケージをいう。

【0039】TCPの出力端子側は、液晶パネル1の図示しない液晶ガラス基板の上に設けられたITO (Indium Tin Oxide: インジウムスズ酸化物) からなる端子10 (先述のソース信号ライン14やゲート信号ライン15に接続されている) に対し、例えばACF (Anisotropic Conductive Film: 異方性導電膜) を介して、熱圧着され電気的に接続される。

【0040】一方、各ソースドライバ2およびゲートドライバ3への入力側信号の入出力は、TCP配線およびフレキシブル基板配線などを通して行われる。外部から入力された、シリアルなデジタル表示データは、コントローラ4を通して、ソースドライバ2へ、シリアルな表示データDとして入力される。

【0041】図1に、本発明の第一の実施の形態としての上記ソースドライバ2における回路ブロック図の一例を示す。ソースドライバ2は、基本的にはシフトレジスタ回路(転送手段)22、入力ラッチ回路(ラッチ手段)21、サンプリングメモリ回路(サンプリング手段)23、ホールドメモリ回路24、レベルシフタ回路25、DA変換回路26、出力回路27、出力回路27からの出力端子28、および基準電圧発生回路29を有している。以下において、まず、上記回路構成の内、従来技術との相違点のみ説明し、他の回路動作についての説明は後述する。

【0042】相違点は、従来では、図12および図13に示すように、入力された表示データDをラッチする入力ラッチ回路1301、サンプリングメモリ回路1303を中心とする表示データDの取り込み及び転送であり、デジタル式の表示データD(DR、DG、DBそれぞれ6ビット、計18ビットで構成)の各ビット毎に1つのDF/Fで構成された入力ラッチ回路1301が設置されていた。

【0043】本発明は、入力ラッチ回路21での表示データDのラッチをクロック信号CKの立ち上がり立ち下りの両エッジを用いて行い、クロック信号CKのクロック周波数に対し、従来より、以後の回路での表示データDの処理速度を低減、つまり速く(データ転送レートを向上)できるものである。

【0044】本発明の第一の実施の形態について、図4の回路例と、図5のタイミングチャートを基に説明する。まず、コントローラ4から出力される、シリアルな表示データD(DR、DG、DBそれぞれ6ビット、計

18ビットで構成)の各1ビットに対して、入力ラッチ回路21は、クロック信号CKの立ち上がり立ち下りの両エッジに同期させて取り込み、各同期データQ11、Q12としてそれぞれ出力するものである。

【0045】このため、上記入力ラッチ回路21は、表示データDとクロック信号CKとがそれぞれ入力されるDF/F21a、および、上記表示データDと上記クロック信号CKをインバータ21iによって反転させた反転クロック信号CKバーとがそれぞれ入力されるDF/F21bの2つのDF/Fを有している。上記表示データDは、DF/F21aおよびDF/F21bの各D端子に入力される一方、クロック信号CKおよび反転クロック信号CKバーは、それぞれDF/F21aおよびDF/F21bの各CK端子に入力される。

【0046】サンプリングメモリ回路23には、入力ラッチ回路21から出力される2つの各同期データQ11、Q12をそれぞれ入力して、ラッチさせるための2個のDF/F23a、とDF/F23b、とが設置されている。

【0047】そして、立ち上がり同期データQ11を入力するDF/F23a、のCK端子にはシフトレジスタ回路22のA(1)段目の出力が、一方、立下り同期データQ12を入力するDF/F23b、のCK端子にはシフトレジスタ回路22のB(1)段目の出力が入力されている。

【0048】ちなみに、n段のシフトレジスタ回路22は、クロック信号CKの立ち上がりに同期を取り、スタートパルス信号SPを順次、転送するA(1)、A(2)、…A(n/2)のシフトレジスタ部と、クロック信号CKの立ち下がりに同期を取り、スタートパルス信号SPを順次、転送するB(1)、B(2)、…B(n/2)のシフトレジスタ部とを有している。

【0049】サンプリングメモリ回路23の各出力(Q21、Q22)はそれぞれ、ホールドメモリ回路24の所定の番地に入力され、記憶される。図4に示した回路は、表示データDにおける各表示データDR、DG、DBの計18ビットの内の1ビット分(例えば、DR1として)の回路で、さらにシフトレジスタ回路22のA(1)段目とB(1)段目のタイミングでサンプリングする部分のみ代表例として図示しているものである。

【0050】図示していないが、表示データDR1を入力した入力ラッチ回路21の出力Q11は、シフトレジスタ回路22の他のA(2)～A(n/2)段目の出力をそれぞれCK端子に入力する、サンプリングメモリ回路23における各DF/F23a、～DF/F23a_{n/2}に共通に入力される。これらサンプリングメモリ回路23の各出力はそれぞれホールドメモリ回路24の所定の番地に入力され記憶される。

【0051】一方、表示データDR1を入力した入力ラッチ回路21の出力Q12は、シフトレジスタ回路22の

他のB(2)～B(n/2)段目の出力を、それぞれCK端子に入力する、サンプリングメモリ回路23における各 $DF/Fb_1 \sim DF/Fb_{n/2}$ に共通に入力される。これらサンプリングメモリ回路23の各出力はそれぞれホールドメモリ回路24の所定の番地に入力され、記憶される。

【0052】以上が表示データDR1に関する回路構成および処理例であるが、表示データDにおける他の表示データに対しても同様に処理される回路構成を備え、同様に処理されるようになっている。このようにして、上記表示データDは、シリアル-パラレル変換されたことになる。

【0053】図5に、上記クロック信号CKと表示データDとの各種タイミングチャートを示す。入力された表示データD(図5(b)を参照)は、クロック信号CK(図5(a)を参照)の立ち上がり・立ち下りの両エッジでラッチされ、立ち上がり同期データQ11である立ち上がりラッチデータ(図5(c)を参照)と、立ち下り同期データQ12である立ち下りラッチデータ(図5(d)を参照)の2チャンネルに分割される。

【0054】よって、前記表示データDは、2個単位でシリアル-パラレル変換されることになる。つまり、1回の交換サイクルでデータ長が2倍になった2つのパラレルデータが生成される。ここで、注目すべきは、クロック信号CKのクロック周波数が表示データDのデータ転送レートの半分でよく、もし、データ転送レートが80MHzであれば、クロック周波数は40MHzでよい。

【0055】このように、本発明では、クロック信号CKの立ち上がり、および立ち下りの両エッジによる表示データDの取り込みと、処理方式を採用することで、クロック周波数が表示データDのデータ転送レートの半分という、動作周波数の拡大と信頼性の高い液晶駆動装置(半導体装置)およびそれを用いた液晶表示装置モジュールを実現することができる。

【0056】次に、本発明に係る他の実施の形態としての第二の実施の形態について図6ないし図8に基づいて説明すれば以下の通りである。

【0057】前記第一の実施の形態においては、1相のクロック信号CKをコントローラ4より入力される構成としていた。この場合、さらに高精細化に伴う、より速いデータ転送レートの表示データDを順次、前記入力ラッチ回路21にてラッチ後、時分割でサンプリングメモリ回路23に記憶させる方式では、クロック信号CKに対し、データ取り込みタイミングの仕様(データセットアップ/ホールド時間)を保証するのが困難になることがある。

【0058】そこで、この第二の実施の形態における半導体装置としての液晶駆動装置では、図6ないし図8に示すように、位相を1/4相ずらした2相の各クロック

信号CK1、CK2を用いて、立ち上がりと立ち下りの両エッジによる表示データDの取り込み方式を、入力ラッチ回路31、並びに処理回路としてのシフトレジスタ回路32およびサンプリングメモリ回路33に採用することで、クロック周波数を表示データDにおける必要なデータ転送レートの1/4にでき、さらに、動作周波数の拡大と信頼性の高い液晶駆動装置(半導体装置)と、この液晶駆動装置を用いた液晶表示装置モジュールを実現することができる。

【0059】図7に、本第二の実施の形態に係るソースドライバ2の回路構成図を示す。図1で示したソースドライバ2との主な相違点は、第一の実施の形態では、表示データDをラッチするための入力ラッチ回路21へは1相のクロック信号CKが入力されているのに対し、この第二の実施の形態では、2相の各クロック信号CK1、CK2とがそれぞれ入力ラッチ回路31に入力されている点である。

【0060】以下に、上記入力ラッチ回路31、サンプリングメモリ回路33及びシフトレジスタ回路32について説明する。ホールドメモリ回路24、レベルシフト回路25、DA変換回路26、出力回路27および基準電圧発生回路29に関する構成および動作については前述の第一の実施の形態と同様であるので、同一の部材番号を付与して、それらの説明は以下において省略する。

【0061】図7に、本発明に係る入力ラッチ回路31、サンプリングメモリ回路33およびシフトレジスタ回路32の回路例を、図8にそのタイミングチャートを図示する。第二の実施の形態では、入力ラッチ回路31での表示データDのラッチを、互いに位相を1/4相ずらしたクロック信号CK1及びクロック信号CK2を用い、双方の各クロック信号CK1、CK2の立ち上がりと立ち下りの両エッジをそれぞれ用いて、表示データDをラッチすることで、以後の回路での、上記表示データDの処理速度をさらに低減できるものである。

【0062】上記第二の実施の形態について、図7および図8に基づいてさらに詳しく説明すると、まず、コントローラ4から出力される表示データD(DR、DG、DBそれぞれ6ビット、計18ビットで構成)の各1ビットに対して、入力ラッチ回路31は、上記表示データDが、入力端子であるD端子にそれぞれ入力される4個の DF/F を有している。上記4個の DF/F は、 $DF/F31a$ とクロック信号CK1をインバータ31iにて反転させた反転クロックCK1バーを使用した $DF/F31b$ と、さらにクロック信号CK1に対して、位相を1/4相ずらしたクロック信号CK2により、先と同様に構成され動作する2つの $DF/F31c$ 、 $DF/F31d$ である。

【0063】サンプリングメモリ回路33は、入力ラッチ回路31からの4つの出力(Q11、Q12、Q13、Q14)をそれぞれ入力し、ラッチさせるための、4個のD

F/F33a₁、DF/F33b₁、DF/F33c₁、DF/F33d₁が設置されている。

【0064】そして、立ち上がり同期データQ11をD端子に入力するDF/F33a₁のCK端子にはシフトレジスタ回路32のA(1)段目の出力が、一方、立下り同期データQ12をD端子に入力するDF/F25b₁のCK端子にはシフトレジスタ回路32のB(1)段目の出力が入力されている。

【0065】さらに1/4位相ずれた立ち上がり同期データQ13をD端子に入力するDF/F33c₁のCK端子にはシフトレジスタ回路32のC(1)段目の出力が、一方、立下り同期データQ14をD端子に入力するDF/F33d₁のCK端子にはシフトレジスタ回路32のD(1)段目の出力が入力されている。

【0066】ちなみに、n段のシフトレジスタ回路32は、クロック信号CK1の立ち上がりに同期を取り、スタートパルス信号SPを順次、転送するA(1)、A(2)、…A(n/4)のシフトレジスタ部と、クロック信号CK1の立ち下がりに同期を取り、スタートパルス信号SPを順次、転送するB(1)、B(2)、…B(n/4)のシフトレジスタ部と、さらにクロック信号CK2の立ち上がりに同期を取り、スタートパルス信号SPを順次、転送するC(1)、C(2)、…C(n/4)のシフトレジスタ部と、クロック信号CK2の立ち下がりに同期を取り、スタートパルス信号SPを順次、転送するD(1)、D(2)、…D(n/4)のシフトレジスタ部とを有している。

【0067】サンプリングメモリ回路33の各出力(Q21、Q22、Q23、Q24)はそれぞれホールドメモリ回路24の所定の番地に入力され、記憶される。図6の回路は、表示データDにおける各表示データDR、DG、DBの計18ビットの内の1ビット分(例えば、DR1として)のための回路であり、さらにシフトレジスタ回路32のA(1)段目、B(1)段目、C(1)段目及びD(1)段目のタイミングでサンプリングする部分のみ代表例として図示しているものである。

【0068】図示していないが、表示データDR1を入力した入力ラッチ回路31の出力である同期データQ11は、シフトレジスタ回路32の他のA(2)～A(n/4)段目の出力を、それぞれCK端子に入力するDF/F33a₂～DF/F33a_{n/4}のD端子に共通にそれぞれ入力される。そして、これらサンプリングメモリ回路33の出力はそれぞれホールドメモリ回路24の所定の番地に入力され、記憶される。

【0069】一方、表示データDR1を入力した入力ラッチ回路31の出力である同期データQ12は、シフトレジスタ回路32の他のB(2)～B(n/4)段目の出力を、それぞれCK端子に入力する、図示しないDF/F33b₂～DF/F33b_{n/4}のD端子に共通にそれぞれ入力される。そして、これらサンプリングメモリ回路33の出力はそれぞれホールドメモリ回路24の所定の番地

に入力され、記憶される。

【0070】以下、入力ラッチ回路31の各出力である各同期データQ13、Q14についても、先の説明と同様な動作をし、出力Q23、Q24を次のホールドメモリ回路24へ出力して記憶する。以上が表示データDR1の回路であるが、表示データDにおける他の表示データでも同様の構成および処理である。

【0071】よって、第二の実施の形態では、前記表示データDは、4個単位でシリアル-パラレル変換されることになる。つまり、1回の変換サイクルで、データ長が4倍になった4つのパラレルデータが生成される。ここで注目すべきは、クロック周波数が表示データDの四分の一(1/4)のものを使用できることであり、もし、上記表示データDのデータ転送レートが80MHzであれば、上記クロック周波数は20MHzでよい。

【0072】このように、位相を互いに異なるように設定した各クロック信号CK1、CK2の立ち上がりと、立ち下りの両エッジによる表示データDの取り込み方式と処理回路を採用することで、クロック周波数および表示データDのデータ転送レートを1/4とすることができることから、さらに動作周波数の拡大への対応と、信頼性の高い液晶駆動装置およびそれを用いた液晶表示装置モジュールを実現することができる。

【0073】上記第二の実施の形態では、2相のクロック信号CK1、CK2を用いた例で説明したが、m相の各クロック信号CK1～CKmを用いて、表示データDをラッチして処理することも可能である。特にm=2^k(k=0、1、2、3、…)の場合、次に続く回路構成とは整合性が良い。この場合、m個のクロック信号CK1～CKmの位相は、順次、互いに1/(2m)相ずらずせばよい。

【0074】以上、本発明について液晶駆動装置を用いて説明を行ってきたが、本発明は、液晶駆動装置に限らず、例えば、前述のソースドライバ2といった、1個もしくは複数の表示素子駆動用半導体装置を縦横接続し、スタートパルス信号SPをクロック信号CKで同期して転送し、この転送信号により表示データDを取り込み、ある周期でラッチをかけて表示を行い、これを繰り返すことで1画面を表示する表示装置に対して有効である。

【0075】特に、本発明は、例えば上述のソースドライバ2やゲートドライバ3といった、X方向及びY方向に駆動装置を具備し、前記スタートパルス信号SPをクロック信号CKに同期して転送し、この転送信号により映像信号を時分割に選択して取り込み、水平同期信号周期でラッチをかけて表示を行い、これを繰り返して1画面を表示する表示装置の表示画面の大画面化、高精細化に伴う表示データの高速転送の高信頼性化に有効である。

【0076】また、半導体装置内部でのクロック信号CKの動作周波数を低減できることで、低電圧駆動にも対

応でき、結果的には低消費電力化も可能となる。さらに、動作周波数低減による低雑音化からも信頼性の高い半導体装置を実現できる。

【0077】また、上記の実施の各形態では、ソースドライバ2等のチップをTCPに搭載した半導体装置を液晶パネル1の電極(I TO線)に対し、例えば、異方性導電膜(ACF)等を介して熱圧着により実装した構成で説明したが、本発明を、TCP形態ではなく、フレキシブル基板やフィルム等の含む絶縁テープ上にコントローラ4も含んで搭載してもよい。

【0078】さらに、本発明は、チップオンガラス(COG)方式として半導体装置をチップ形態にて液晶パネル1の電極(I TO線)に、例えば、異方性導電膜(ACF)等を介して熱圧着により直接実装した構成でもよく、さらに低温ポリシリコン技術等により液晶パネル1のガラス基板上に回路を形成したサーキットイングラス(CIG)方式でも実現可能である。

【0079】次に、前記液晶パネル1の構成および動作について図3、図9および図10に基づいて以下に説明する。液晶パネル1には、図3に示すように、画素電極11、画素容量12、画素電極11への電圧印加をオン・オフするスイッチング素子としてTFT13、上記TFT13を駆動するためのソース信号ライン14、上記TFT13を駆動するためのゲート信号ライン15、画素電極11に対し、図示しない液晶を介して対面する対向電極6が設けられている。上記液晶パネル1では、画素容量12が、図示しない液晶を介して、各画素電極11と対向電極6との間でそれぞれ形成されている。

【0080】図3中、Aで示す領域が、1画素分の液晶表示素子である。ソース信号ライン14には、図2に示すソースドライバ2から、表示対象の画素の明るさに応じた、例えば64階調の階調表示電圧が与えられる。ゲート信号ライン15には、ゲートドライバ3から、縦方向に並んだTFT13が、順次オンするようにTFT13の各ゲートに走査信号が与えられる。

【0081】オン状態のTFT13を通して、上記TFT13のドレインに接続された画素電極11にソース信号ライン14の電圧が印加されて、対向電極6との間の画素容量12に電荷が蓄積され、その電荷量に応じて液晶の光透過率が変化することにより、各画素での階調表示が行われる。

【0082】図9および図10に、異なる階調表示時(例えば、白表示例と黒表示例)での液晶表示素子及び画素への駆動波形の一例を示す。図9および図10に示すように、駆動波形51と駆動波形41は、それぞれ、ソースドライバ2の液晶駆動電圧出力端子からソース信号ライン14に出力された駆動波形、一方、駆動波形52と駆動波形42は、それぞれ、ゲートドライバ3の液晶駆動出力端子からゲート信号ライン15に出力された駆動波形である。

【0083】また、電位53と電位43は対向電極6の電位であり、印加電圧54と印加電圧44は画素電極11に印加される電圧波形である。よって、液晶に印加される電圧は、画素電極11と対向電極6との電圧差であり、図中において斜線領域の高さで示されている。

【0084】例えば、図9では、ゲートドライバ3の液晶駆動電圧出力端子からの駆動波形52がHighレベルのときTFT13がオンし、ソースドライバ2の液晶駆動電圧出力端子からの駆動波形51と対向電極6の電位53との電位差が画素電極11に印加される。このあと、ゲートドライバ3の液晶駆動電圧出力端子からの駆動波形52はLowレベルとなり、TFT13はオフ状態となる。このとき、各画素では、画素容量12をそれぞれ有するため、上述の印加電圧が保持される。

【0085】図10の場合も同様である。図9と図10とは、画素を構成する液晶に印加される電圧が相違しており、図9の場合は、図10の場合の印加電圧44と比べて印加電圧54が高い。このように、液晶に印加される電圧をアナログ電圧として変化させることで、液晶の光透過率をアナログ的に変化させ、各画素での多階調表示を実現している。表示可能な階調数は、液晶に印加されるアナログ電圧の選択枝の数により決定される。

【0086】次に、ホールドメモリ回路24に入力され、記憶された、パラレル変換された表示データDに対する以降の処理について、図1および図3に基づいて以下に説明する。

【0087】まず、この表示データDの1水平期間のデータがホールドメモリ回路24に入力された時点で、水平同期信号に基づいたラッチ信号LSによりラッチされる。そして、次のラッチ信号LSが入力されるまで、つまり1水平期間の間、先の表示データDは保持されてホールドメモリ回路24から出力される。

【0088】ラッチされた表示データDの信号レベルは、次のレベルシフタ回路25によりロジック系電圧レベル(Vcc-GNDレベル)から液晶駆動に必要な電圧レベル(VDD-GNDレベル)にレベル変換される。

【0089】一方、基準電圧発生回路29は、参照電圧VR(例えばVref1~Vref9で構成)に基づき抵抗分割等により階調表示に用いる、例えば64レベルの電圧を発生させている。DA変換回路26は、ラッチされレベル変換された表示データD(DR、DG、DBに対応するそれぞれ6ビット)に基づき、先述の64レベルの電圧から1つの電圧レベルを選択することでアナログ電圧に変換して出力するものである。

【0090】そして、この電圧レベルは、ボルテージフォロア回路等を含んで構成された出力回路27により、階調表示電圧として液晶駆動電圧出力端子28から、液晶パネル1における各液晶表示素子のソース信号ライン14にそれぞれ出力され、表示データDに基づく階調表

示がなされる。

【0091】ところで、従来では、表示画像の高精細化のために表示データDのデータ転送レートを高く設定したことに対応して、クロック信号CKのクロック周波数を高く設定すると、クロック信号CKのデューティ比（ハイ期間とロー期間の比）をソースドライバ902の内部で確保するのが難しくなるためクロック信号CKの動作周波数の低減を招くおそれがある。このため、上記従来では、動作周波数の低減によって表示データDをシリアル-パラレル変換するのが不安定となることから、表示画質の劣化を招来することがあるという問題を有している。

【0092】しかしながら、本発明では、表示画像の高精細化のために表示データDのデータ転送レートを高く設定しても、クロック信号CKのクロック周波数を低く設定できるので、上記問題を回避できる。

【0093】

【発明の効果】本発明の半導体装置は、以上のように、クロック信号に基づいたスタートパルス信号を転送する転送手段と、入力された表示データ信号をクロック信号に同期して取り込み、同期データとして出力するラッチ手段と、転送されるスタートパルス信号に基づいて、上記同期データをサンプリングして出力するサンプリング手段とを有し、上記ラッチ手段は、上記表示データ信号を上記クロック信号の立ち上がり立ち下りの両タイミングにて同期し取り込むようになっている構成である。

【0094】それゆえ、上記構成は、表示データ信号を、表示のためにシリアル-パラレル変換できると共に、ラッチ手段が、上記表示データ信号を上記クロック信号の立ち上がり立ち下りの両タイミングにて同期し取り込むようになっているので、クロック信号のクロック周波数を、表示データ信号のデータ転送レートより低減できて、クロック信号に対し表示データを取り込むタイミングの仕様（データセットアップ/ホールド時間）を保証し易くできるため、表示画質の劣化を回避しながら、高精細化と表示画質の向上との双方を同時に満たすことができるという効果を奏する。

【0095】本発明の他の半導体装置は、以上のように、クロック信号に基づいたスタートパルス信号を転送する転送手段と、入力された表示データ信号をクロック信号に同期して取り込み、同期データとして出力するラッチ手段と、転送されるスタートパルス信号に基づいて、上記同期データをサンプリングして出力するサンプリング手段とを有し、上記ラッチ手段は、上記表示データ信号を互いに位相が異なる複数の各クロック信号のそれぞれの立ち上がり立ち下りの両タイミングにて同

期し取り込むようになっている構成である。

【0096】それゆえ、上記構成は、ラッチ手段は、上記表示データ信号を互いに位相が異なる複数の各クロック信号のそれぞれの立ち上がり立ち下りの両タイミングにて同期し取り込むようになっているので、さらに、クロック信号のクロック周波数を、表示データ信号のデータ転送レートより低減できて、クロック信号に対し表示データを取り込むタイミングの仕様（データセットアップ/ホールド時間）をより保証し易くできるため、表示画質の劣化を回避しながら、高精細化と表示画質の向上との双方を同時に満たすことができるという効果を奏する。

【0097】本発明の表示装置モジュールは、以上のように、上記半導体装置の何れかを有することを特徴としている。上記構成によれば、表示装置モジュールにおける高精細化に対応できるので、表示装置モジュールの表示画質の向上を確実化できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の表示装置モジュールとしての液晶表示装置を駆動するための、本発明に係る第一の実施の形態を示すソースドライバのブロック図である。

【図2】上記液晶表示装置を示すブロック図である。

【図3】上記液晶表示装置における液晶パネルの概略構成図である。

【図4】上記ソースドライバの要部ブロック図である。

【図5】上記ソースドライバの表示データDの取り込み動作を示すタイミングチャートである。

【図6】本発明に係る第二の実施の形態を示すソースドライバのブロック図である。

【図7】上記ソースドライバの要部ブロック図である。

【図8】上記ソースドライバの表示データDの取り込み動作を示すタイミングチャートである。

【図9】上記液晶パネルの動作を示すタイミングチャートである。

【図10】上記液晶パネルの他の動作を示すタイミングチャートである。

【図11】従来の液晶表示装置のブロック図である。

【図12】上記液晶表示装置に用いられたソースドライバのブロック図である。

【図13】上記ソースドライバの要部ブロック図である。

【図14】上記ソースドライバの動作を示すタイミングチャートである。

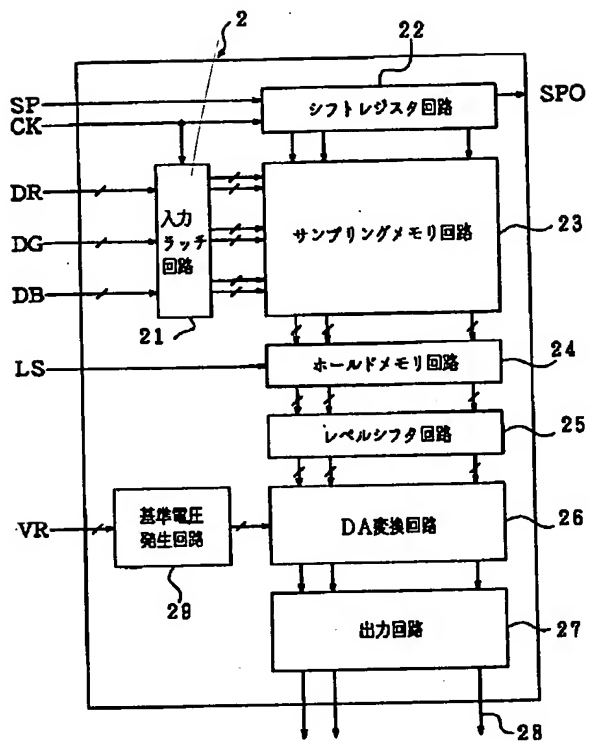
【符号の説明】

21 入力ラッチ回路（ラッチ手段）

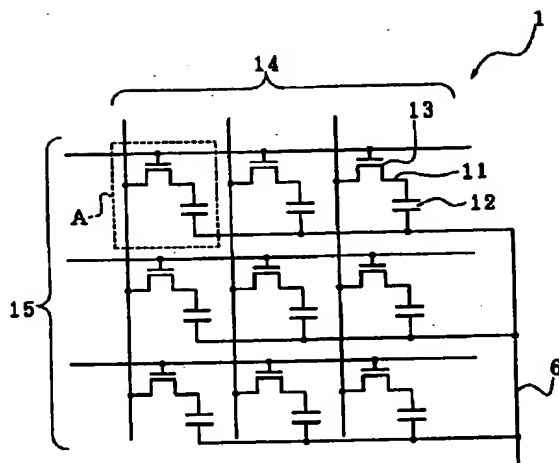
22 シフトレジスタ回路（転送手段）

23 サンプリングメモリ回路（サンプリング手段）

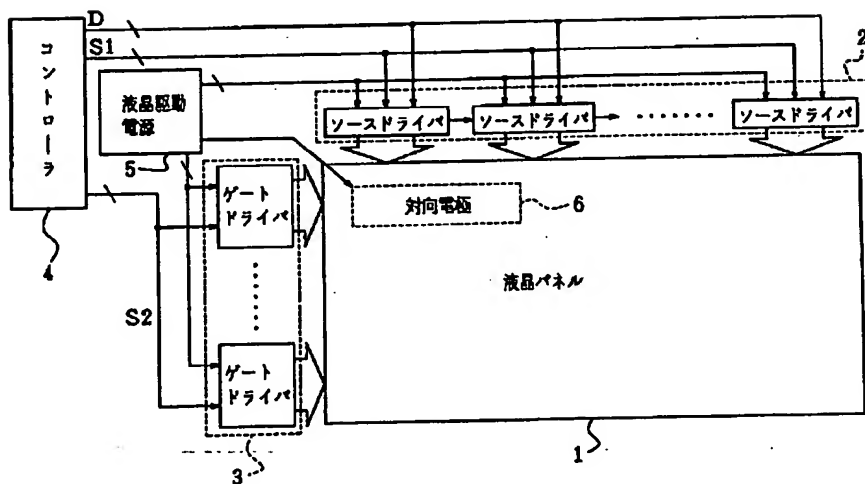
【図1】



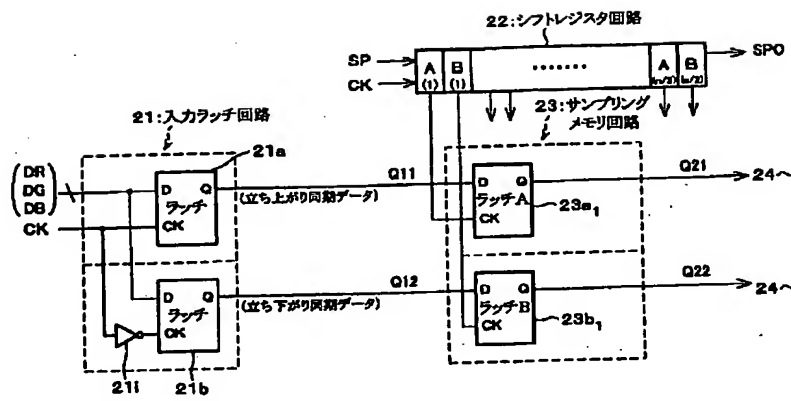
【図3】



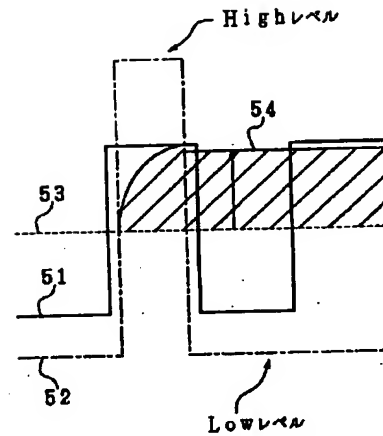
【図2】



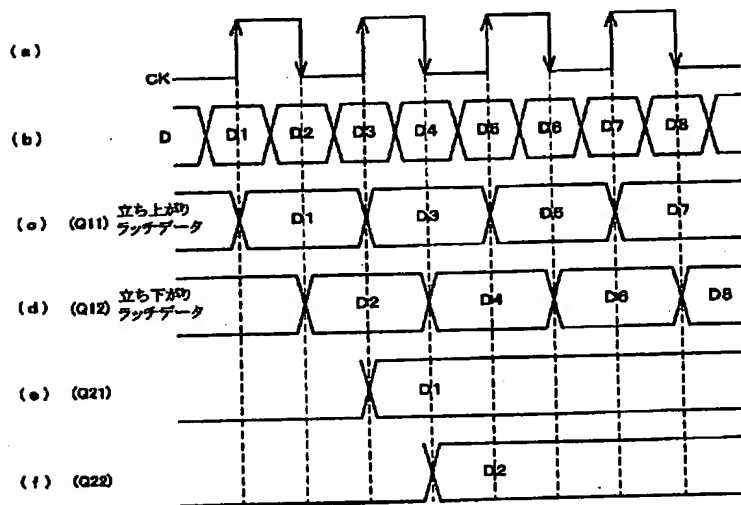
【図4】



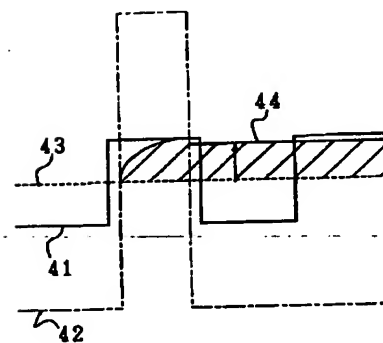
【図9】



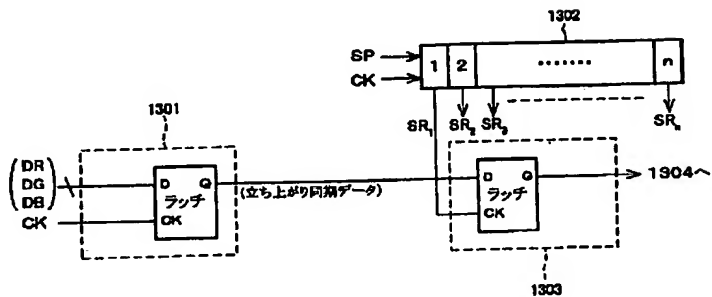
【図5】



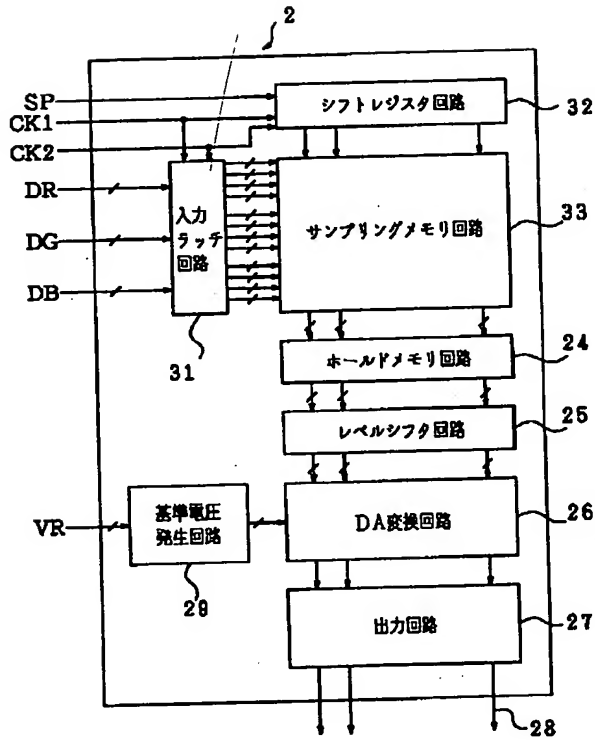
【図10】



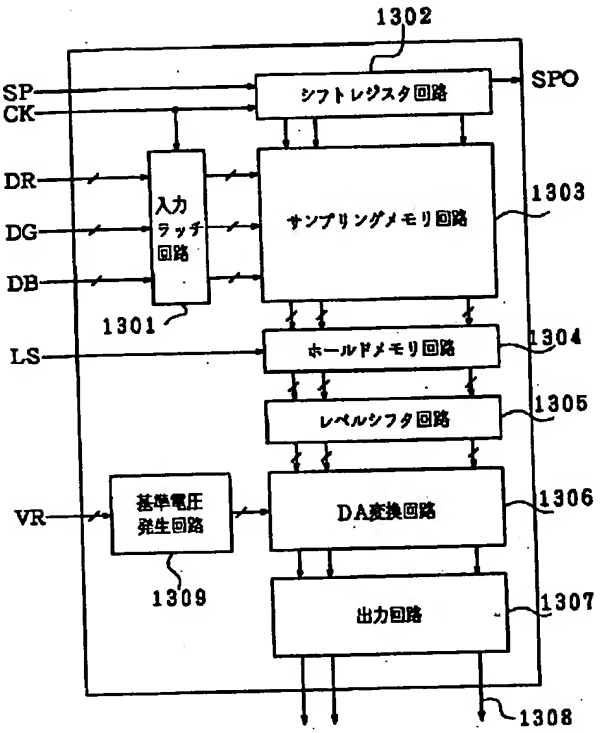
【図13】



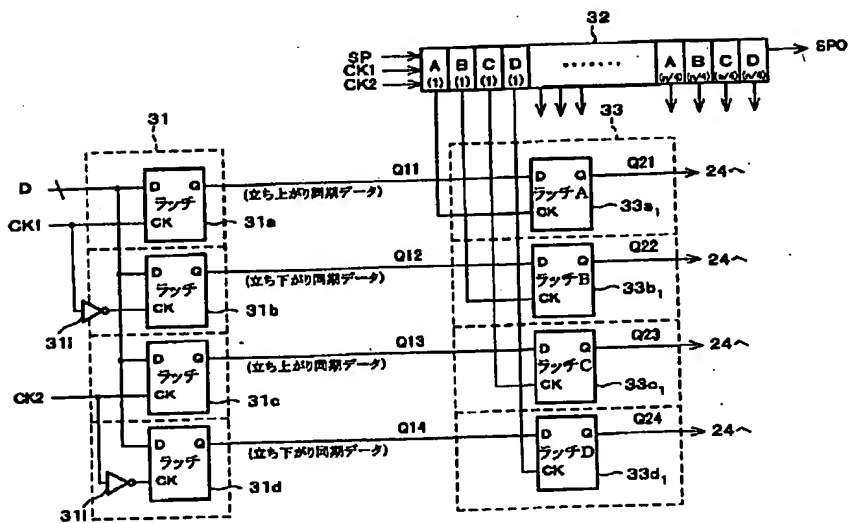
【図6】



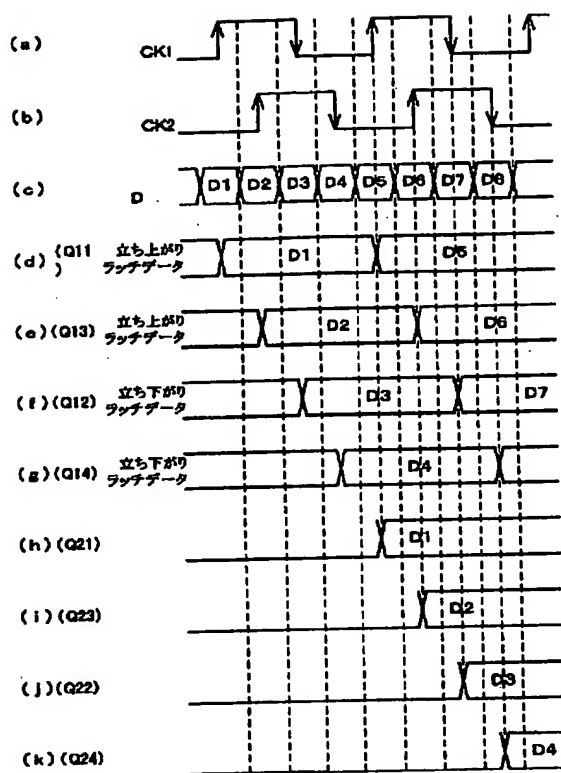
【図12】



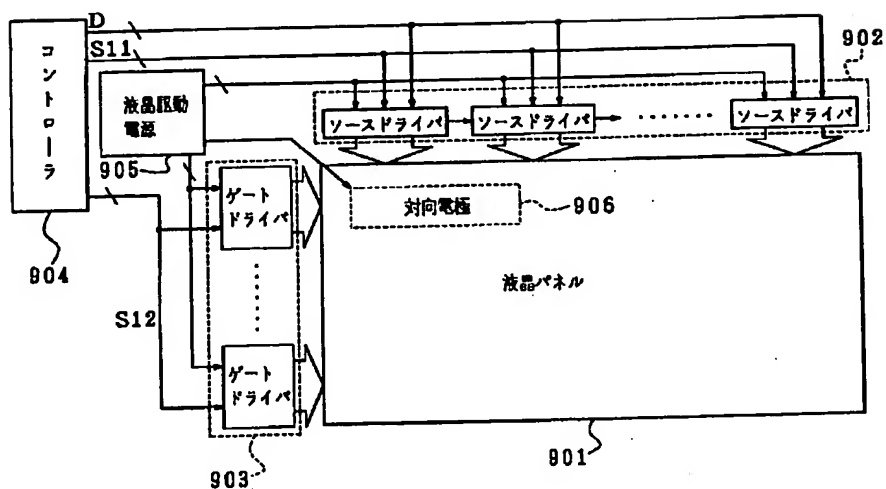
【図7】



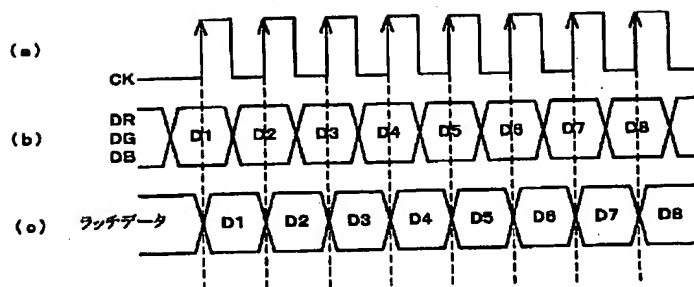
【図8】



【図11】



【図14】



フロントページの続き

F ターム(参考) 2H093 NA16 NA26 NA43 NA53 NA64
 NC03 NC13 NC15 NC16 NC22
 NC23 NC26 ND34 ND52
 5C006 AA16 AF82 BB16 BC12 BF03
 BF04 BF11 BF43 BF46 FA15
 FA56
 5C080 AA10 BB05 DD07 EE29 FF11
 JJ02 JJ04